# 4.3 编程和擦除机制的物理学原理

过去，人们对通过薄介质层的电传导进行了广泛的研究。一般认为，电荷传输机制在电介质中的行为可以分为两大类：*体限性传导*和*限电型传导*。在前一类中，电流主要由电介质本身的特性决定，与电流来源的电极无关。另一方面，在限电型电流类别中，传导由电极的特性决定，即电流从哪里产生的界面。

许多电介质，如氮化硅(Si3N4)或氧化钽(Ta2O5)，都属于体限性传导类别。通过氮化硅的电流是由氮化物体中的俘获中心的肖特基发射来确定的，通常被称为普尔-弗伦克尔传导[14]。然而，薄的（<30nm）氮化物层也显示出强烈的电限贡献。

在二氧化硅中，电流主要由电极特性决定，更具体地说是由注入界面的特性决定。这是因为SiO2 有一个大的能带隙，约为9eV，而Si3N4为5eV，并且在其与铝或硅的界面上有一个高能垒。

例如，在硅的导带中，SiO2对电子的势垒约为3.2eV。 在硅的导带中，电子的势垒约为3.2eV，在价带中，空穴的势垒为4.8eV，而Si3N4中空穴和电子的势垒为2eV。在目前使用的闪光灯技术中，二氧化硅仍然是基本的电介质。因此，在目前使用的闪存技术中，二氧化硅仍然是基本的电介质，电子通过它被编程和擦除。因此，本节的其余部分将只集中讨论这种情况。

目前，有几种注入机制被用于商业上可用的闪存中。当闪存概念刚出现时，通道热电子注入（CHEI）是最流行的编程机制，因为它在EPROM中是众所周知的，而Fowler-Nordheim（FN）隧道被选择用于慢速擦除操作。然而，当闪存成熟和扩大规模时，其他的组合被实施，其中有很多在闪存市场上找到了自己的特殊位置。

首先，EEPROM的概念被一些公司 "翻译 "成了Flash的概念，这导致了低功率的Flash编程，因为FN隧道被用于编程和擦除。另一方面，为EEPROMs积累的关于多氧化物传导的知识已经导致了使用CHEI进行编程和（低场）多氧化物传导进行擦除的闪存。同时，相对 "新 "的机制也得到了探索，如基底热电子注入（SHEI）和源侧热电子注入（SSI），两者都是为了改善传统CHEI的低注入能效，有时被称为*漏极注入*。在最近的出版物中，很多注意力都集中在二次冲击电离（SII）效应上，当电源电压下降到3.2V的魔法屏障以下时，可以大大增加CHEI的效率。

因此，在过去的20年里，人们考虑了各种向氧化物注入电荷的机制，包括一些相关的参考文献，如下所示。

* + - Fowler-Nordheim隧道通过薄的氧化物（<10纳米）[15, 16] 。
    - 增强通过多氧化物的隧道 [17, 18]
    - 通道热电子注入[19, 20]
    - 基板热电子注入[21, 22]
    - 源方注入[23-25]
    - 二次冲击电离引发的热电子注入[26]

前两个机制是基于通过氧化层的量子力学隧道机制，而后四个机制是基于在硅的大电场中加热的载流子的注入，然后通过SiO的能量屏障注入2 。这些机制将在下面的章节中得到更详细的阐述。

# 4.3.1 福勒-诺德海姆隧道工程

ﬂoating-gate器件中使用的最重要的注入机制之一是所谓的Fowler-Nordheim（或FN）隧道，这实际上是一种ﬁeld-assisted电子隧道机制[27]。当在多晶硅-SiO2 -硅结构上施加一个大电压时，其带状结构的形状如图4.7所示。由于高电场，硅导带中的电子会看到一个三角形的能量屏障，其宽度取决于施加的电场。势垒的高度是由电极材料和SiO的带状结构决定的2 。

在足够高的磁场下，势垒的宽度变得足够小，电子可以通过势垒从硅的导带隧道到氧化物的导带。这个机制已经由Fowler和Nordheim证明了电子通过真空势垒隧道的情况，后来Lenzlinger和Snow也对氧化物隧道进行了描述。Fowler-Nordheim的电流密度由[27]给出。



与



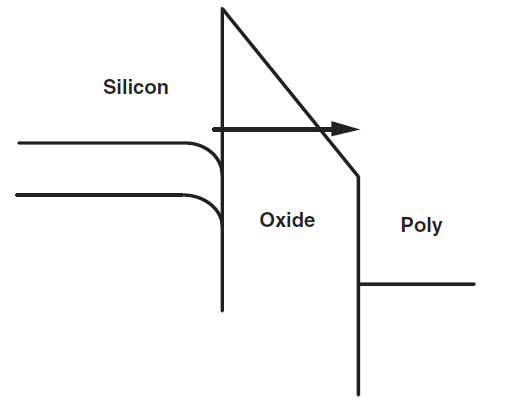


图4.7.Fowler-Nordheim隧道通过薄膜氧化物的能带表示。注射电场等于平均的薄层氧化物电场。硅导带中的电子通过三角形能垒进行隧道。

其中*h* = 普朗克常数

φ*b* = 注入界面的能量屏障（对于Si-SiO，3.2eV2 ）

*E*inj = 注入界面的电场

*q* = 单个电子的电荷（= 1.6 × 10–19 C）

*m* = 自由电子质量（= 9.1 × 10–31 kg）

m\* = SiO2带隙中电子的有效质量2 （根据[27]，0.42米）

η= *h/2π*

方程（4.16）是Fowler-Nordheim隧道电流密度的最简单的形式，对于非易失性存储器设备来说是非常合适的。一个完整的隧道电流密度表达式需要考虑两个二阶效应：图像力屏障的降低和温度的影响。

由于接近界面的电子的静电影响，图像力降低了有效屏障高度。在公式(4.16)中必须引入两个校正因子，*t*(△φ*b* )和*v*(△φ*b* )，这两个因子都是表列的椭圆积分和缓慢变化的函数。能量屏障高度的减少(△φ*b* )由[27]给出



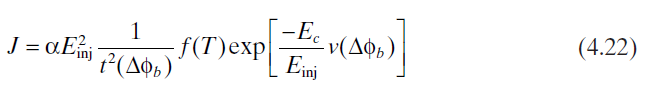
尽管隧道作用基本上与温度无关，但传导带中可用于隧道作用的电子数量却取决于温度。这种依赖性可以通过修正系数*f*(*T*)来考虑，修正系数为[27]。



与



考虑到这两个修正，Fowler-Nordheim隧道电流密度的表达式为



然而，修正系数的影响很小，对于大多数实际计算，基本公式（4.16）是足够准确的。

Fowler-Nordheim隧道电流密度显示出对施加的ﬁeld的几乎指数的依赖。图4.8(*a*)显示了单晶硅-SiO2 接口的这种依赖性。Fowler-Nordheim电流通常被绘制成*J/E*2 vs. 1/*E*，这应该产生一条直线，其斜率与氧化物势垒成正比，如图4.8（*b*）所示。

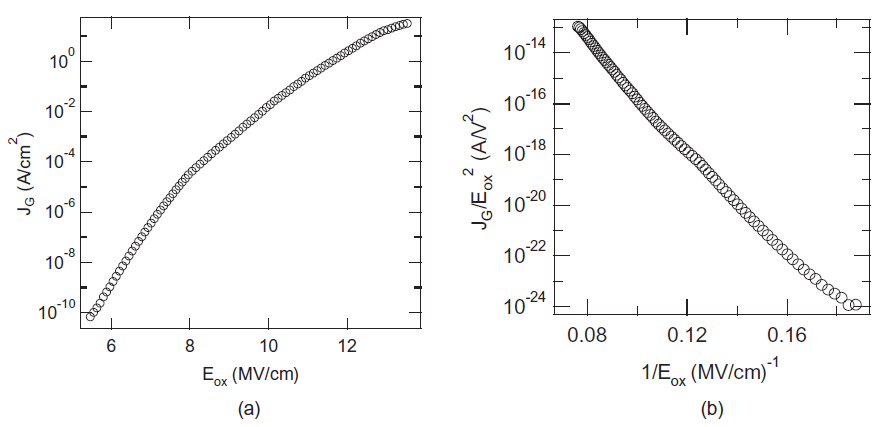


图4.8.(*a*) Fowler-Nordheim隧道电流作为应用在氧化物上的ﬁeld的函数。该电流是指数级的，取决于ﬁeld。(*b*) Fowler-Nordheim图。*J/E*2 作为1/*E*的函数，从（*a*）中提取。得到的是一条直线

在实践中，10 MV/cm的注入场导致了大约10–2 A/cm2 的电流密度。在非易失性存储器设备的编程过程中，这个高的注入电场值是需要跨越氧化物的顺序。当然，这些氧化物的击穿场应该比这个值大得多。为了达到这些高的电场值，并限制编程过程中所需要的电压，非常薄的隧道氧化物被使用；10MV/cm的注入电场是通过在10nm厚度的氧化物上施加10V的电压来实现的。如果要降低编程电压，隧道氧化物就必须做得更薄。然而，6纳米的厚度是良好保留行为的下限。然而，这些氧化物很难在低缺陷密度的情况下生长，正如ﬂoating-gate器件所要求的那样。此外，在这个厚度值以下，其他注入机制，如直接隧道，可以变得很重要。

应该注意的是，隧道电流密度完全由注入界面的电场控制，而不是由块状氧化物的特性控制。一旦电子穿越了势垒，它们就会在氧化物的导带中以相当高的饱和漂移速度（约107 cm/s）行进[28]。

然而，为了计算硅-SiO2 界面的注入场，必须考虑到如下的ﬂatband电压。



其中*V*app =施加在氧化物上的电压

*V*fb = ﬂatband电压

*t*ox = 氧化物的厚度

当电压被施加，使硅被驱动到耗尽，诱导耗尽层的电压降必须在计算氧化物场时加以考虑。

Fowler-Nordheim隧道技术的基本优势总结如下。

* 低电流编程/擦除，因此在非易失性存储器中可实现低功率运行
* 由于氧化物中的电流传导均匀，因此具有良好的耐久性
* 由于机制的一维特性，隧道电流具有良好的可控性

主要的缺点是：

* 需要大的电压
* 隧道氧化物质量的重要性（产量问题）。
* 循环测试中的恒定故障率，这限制了电路层面的耐久性（可靠性问题；例如，见Mielke等人[3]）。
* 产生应力引起的漏电流（见第4.4.2.5节）

从存储单元操作的角度来看，可以得出结论，陡峭的FN隧道特性导致了缓慢的编程/释放单元（随着氧化膜的减少，电流强烈下降）。当然，由于对可靠性和产量的关注，峰值电流必须得到控制。

今天，几乎所有的可擦除字节的EEPROM和一些闪存都使用Fowler-Nordheim隧道进行编程和擦除。FN隧道也是由其他机制编程的闪存的主要擦除机制。

# 4.3.2 多氧化物的传导

Fowler-Nordheim隧道需要10MV/cm的注入电场来缩小Si-SiO2的能量屏障，以便电子能够从硅隧道进入SiO2的传导带，正如上一节所讨论的。

在单晶硅上热生长的氧化物中，注入电场等于SiO2的平均电场。因此，必须使用薄的氧化物来实现大的注入电场。然而，在多晶硅上热生长的氧化物，即所谓的多氧化物，由于多晶硅表面的粗糙纹理，其界面上布满了芒刺[29, 30]。这导致了*纹理多氧化物*这一名称的产生*。*这些突起物在界面上引起了局部电场的增强，并使电子的隧道作用增强[31, 32]。因此，在多氧化物中，注入界面的电场要比平均氧化物电场大得多。因此，多晶硅-多氧化物界面的带状图如图4.9所示。2MV/cm左右的平均氧化物场足以产生10MV/cm左右的注入场。这有一个主要的优点，即在界面上的大注入磁场可以在中等电压下使用相对较厚的氧化物获得，这比单晶硅的Fowler-Nordheim注入所需的薄氧化物更可靠地生长。

对多氧化物的隧道电流-电压关系的定量分析相当复杂。虽然隧道机制本身是由上一节讨论的相同的公式（4.16）描述的，但困难在于准确确定要使用的注入电场。由于注入界面上火力增强的不均匀性，我们不能再为该注入火力使用一个单一的值。

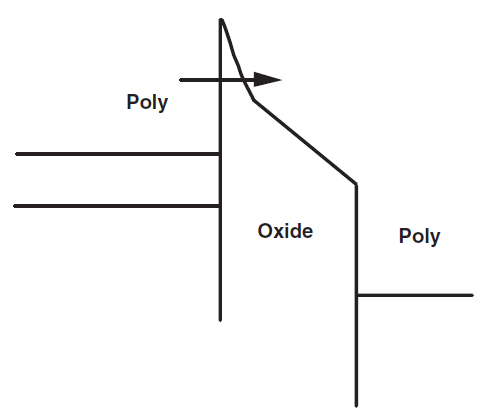


图4.9.Fowler-Nordheim隧道通过多晶硅上的氧化物的能带表示。注入电场比平均氧化物电场要高得多。高注入场是由于多晶硅-氧化物界面上的局部场增强

事实上，在一个凹凸不平的表面上，磁场增强因子是不均匀的[33]。该系数在凸起的顶部最大，并沿着凸起表面的坡度强烈下降。此外，凸点形状的变化可能是造成不均匀的另一个原因。

在过去，人们试图通过使用一些平均场增强因子来模拟通过聚氧化物的电流[34]，但正如参考文献中所证明的那样。[33]，这种方法总是导致不正确的结果。因此，一个完整的电流传导模型必须基于:

* 隧道电流密度的Fowler-Nordheim表达式
* 场增强因子在整个注入区的分布模型
* 电流注入条件下的氧化物电荷俘获行为模型

后者必须加以考虑，因为电荷捕获在多氧化物中比在单晶材料上生长的氧化物更重要。这也是由于强烈的不均匀的电场增强。最初，注入的电流几乎完全来自最大的电场增强区域。极大的电流密度发生在这些注入点上，导致这些点附近的电子被强烈的局部捕获。这种捕集减少了局部的注入，通过这种方式，电流被具有稍低的电场增强的区域所取代。这个过程是逐步进行的，因此，最初极为局部的注入电流变得越来越均匀，并持续减少。在传统的福勒-诺德海姆注入法中，只有在达到某些临界电流水平后才会发生捕集，而在多氧化物注入过程中，电荷捕集和电流注入是在整个电流范围内同时发生的。在多晶硅-多氧化物界面上的非均匀场增强使我们不可能对多氧化物的传导使用一个封闭的分析表达。基于上述原则，一个完整的多氧化物传导模型可以在文献中找到。[33].

多氧化物传导的优点是，在适度的平均氧化物电场和适度的应用电压下可以获得相当的电流水平。因此，对薄型多氧化物的需求就不那么严格了。此外，从可靠性的角度来看，这是一个优势，因为在编程过程中，氧化物不会在大的电场下受到压力，这样就可以避免电介质击穿故障和应力引起的泄漏电流[3, 35]。另一方面，纹理聚氧化物的生长必须被仔细控制，以获得所需的界面特征（形状、突起物的大小），这些特征决定了注入电流和可靠能力的特性。由于这个原因，可重复性可能是这种注射机制的一个问题。另一个缺点是，注射在极性方面是不对称的。对于从顶部多晶硅层的注入，电流要小得多。最后，在电流注入过程中，由于平均增强因子的减少，注入电流的强烈变化会对一个存储单元所允许的编程周期数量构成严重的限制。

从存储单元操作的角度来看，可以得出结论，多氧化物隧道机制为传统的FN隧道提供了一个可行的替代方案，主要是因为对氧化物击穿和应力引起的泄漏电流的敏感性较低。主要的缺点是在大量的电池上隧道电流的可控性，以及电流随着应力时间的增加而有较大的下降，这都导致了较大的编程窗口和大电压。

然而，在适当的设计方案的支持下，优化的工艺技术已经能够在一些闪存中使用多氧化物传导作为一种擦除机制[36, 37]。

# 4.3.3 通道热电子注入（CHEI）

在足够的漏极偏压下，在MOS晶体管沟道中流动的少数载流子被沟道漏极一侧的大电场所加热，其能量分布被转移到更高处。这种现象在漏极产生了冲击电离，少数和多数载流子都是由此产生的。高能量的多数载流子通常被收集在衬底接触处，形成所谓的衬底电流。另一方面，少数载流子则被收集在漏极。载流子加热的第二个后果是，当一些少数载流子获得足够的能量，使它们能够超越SiO2 能量屏障时，就会发生。如果氧化物场有利于注入，这些载流子将越过势垒注入栅极绝缘体，并产生所谓的通道热载流子注入栅极电流[38, 39]。相应的能带图在图4.10中以N沟道晶体管为例进行了示意。

电子从通道漏极一侧的侧向电场获得足够的能量，以克服硅和氧化物之间的能量屏障。

与之前讨论的两种机制的一个重要区别是，CHEI只能将电子带到（浮动的）栅极上。它不能被用来再次移除它们。由于非常低的栅极电流水平（4.8eV的较高能量势垒）和与空穴捕获相关的巨大退化，通道热孔注入是不可行的（也见第4.4.2.2和4.4.2.4节）。

已经提出了几个模型来描述通道热电子注入引起的栅极电流。与Fowler-Nordheim隧道情况相反，由于该现象的复杂二维性质和许多未知的物理参数，通道热电子注入电流没有封闭式的分析表达。

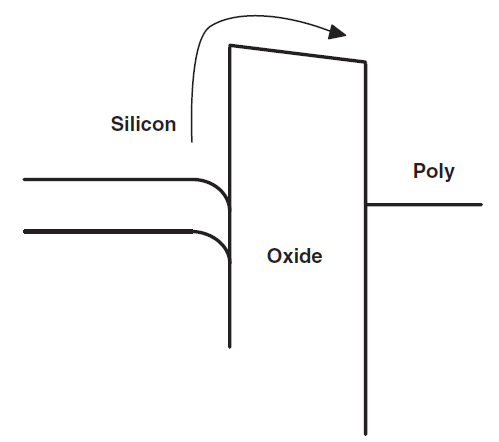
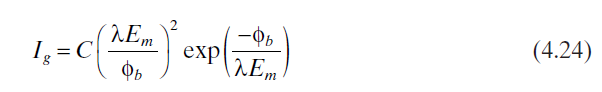


图4.10.N沟道MOS晶体管中沟道热电子注入（CHEI）的能带表示

因此，这些模型仅仅是定性的。它们可以分为三大类：幸运电子模型、有效电子温度模型和物理模型。

幸运电子模型，或称LEM[40, 41]，假定一个电子被注入到栅极绝缘体中，如果它能在侧向场中获得足够的能量而不发生碰撞的话，能量就会损失。通过声子散射，电子被重新定向到Si-SiO2 界面。如果这些电子能够到达界面，并且仍然有足够的能量来克服Si-SiO2 的能量屏障（最终也是一个排斥性场），它们将被注入栅极绝缘体。下面给出LEM公式。



其中*b* =界面上的（零氧化膜）能量屏障（3.2 eV）。

*Em* = 漏极结的峰值横向电场

*C* = 指数前系数

λ= 电子平均自由路径

有效电子温度模型[42]假设电子被加热并成为具有麦克斯韦利分布的电子气体，其有效温度*T*e ，取决于电场。然后，栅极电流可以被计算为被加热的电子在界面能垒上的热发射。

物理模型[43]试图根据更多的物理处理和通道漏极侧二维电场分布的精确解决方案来计算门电流。然后，根据取决于界面势垒能量和横向电场的注入效率来计算栅极电流。

对于上述所有的模型，我们必须牢记，注入的电子数量和实际到达栅极的电子数量之间存在差异。事实上，由于排斥性的氧化物场，全部或部分注入的电子可以被排斥到硅中[44]。

从质量上讲，可以说栅极电流一方面是由热电子的数量及其能量分布决定的（这主要取决于晶体管通道中出现的电场），另一方面是由氧化膜场决定的（这决定了实际能到达栅极的热电子的比例）。在实践中，这意味着栅极电流与栅极电压的特性将上升到一个显著的水平，只有当氧化膜变得对电子注入有利时，然后将随着栅极电压的增加，根据横向膜的相应减少而减少。这就得到了图4.11的典型曲线，它显示了在*Vg = Vd* 左右的最大值。

因此，栅极电流基本上是在非常接近零氧化物-磁场条件下达到峰值。

由于CHEI电流的这种典型的栅极电压依赖性，在非易失性存储器单元的编程过程中，使用CHEI的栅极电压必须仔细选择与应用的漏极电压有关。为了完整起见，应该提到的是，对于为高（漏极）注入效率而优化的亚微米闪存器件，CHEI特征中的最大值消失了[45]。相反，由于在较高的栅极电压下载流子浓度和电场峰值之间的重叠增加，栅极电流成为栅极电压的一个常数，这弥补了该电场峰值的减少[46]。

为了评估CHEI电流对加工和几何参数的依赖性，可以使用通道中横向电场的简化表达[47]。

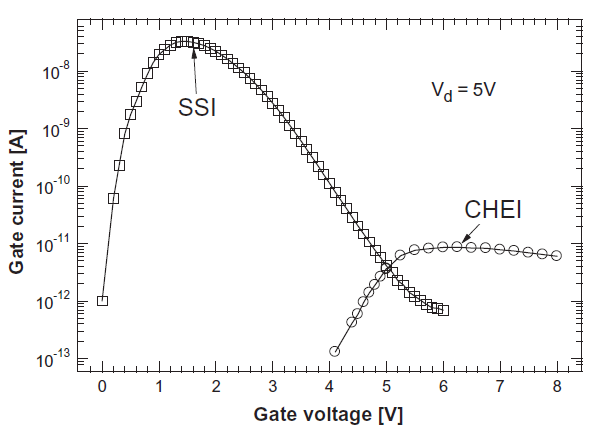


图4.11.沟道热电子注入(CHEI)的栅极电流与栅极电压的特性，显示了在*Vg = Vd* 左右的最大栅极电流。为了比较，还描述了源极侧注入的栅极电流（见第4.3.5节）。



与



并以*V*dsat表示[48]



其中，*E*sat 是电子速度达到饱和的电场。

从这些公式中可以得出结论，栅极电流随着栅极氧化物变薄、结点变浅、有效沟道长度变小和衬底掺杂水平变高而增加（通过体效应对漏极的阈值电压的影响）。

从存储单元操作的角度来看，可以得出结论，CHEI机制为闪存提供了一个快速的编程方法，然而，需要一个相当大的通道电流，导致高功率消耗。另一方面，由于氧化膜很小，依靠CHEI编程的单元不容易受到氧化膜破裂和应力引起的漏电流的影响。

# 4.3.4 基片热电子注入（SHEI）

在上一节讨论的CHEI机制中，热电子只在漏极区附近注入，注入的电流由许多因素共同决定。最初由Verwey[49]提出、后来由其他人[21, 50]改进的衬底热电子注入（SHEI）技术，可以在一个固定的氧化物场上以均匀的方式将热电子注入氧化物中，并独立控制电流密度。

图4.12和4.13分别显示了N-MOS晶体管的典型设置和说明SHEI机制的示意带状图。晶体管在源极和漏极接地的情况下被反转偏置，电子从一个额外的PN结（注入器结）注入基底，该PN结可以在MOS场效应晶体管（FET）周围形成（如图所示），也可以作为一个潜在的N孔到P孔结。一部分注入的电子通过扩散到达晶体管的耗尽区，并被加速向栅极、源极或漏极交界处移动。如果电子在耗尽区获得足够的能量，它们就会变得 "热"，并被注入栅极氧化物，产生栅极电流。剩余的电子则在通道中流向源极或漏极。

在这种电子注入技术下，氧化物电场由栅极到源/漏极的电压决定，而硅电场以及注入的载流子的能量则由基底到源/漏极的电压和基底掺杂决定。注入的电流可以由注入器二极管的正向电流控制。对于空穴的注入，也采用了类似的设置，但在这种情况下，必须使用P沟道器

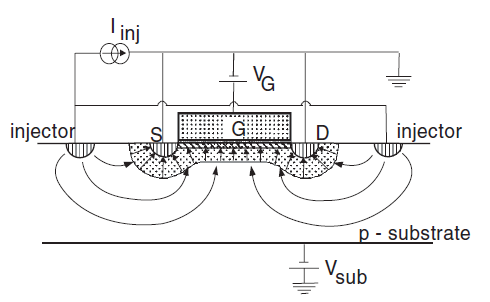


图4.12.SHEI机制的示意图。氧化物电场仅由栅极电压决定，栅极电流可以通过调整注入器结的电子量来控制

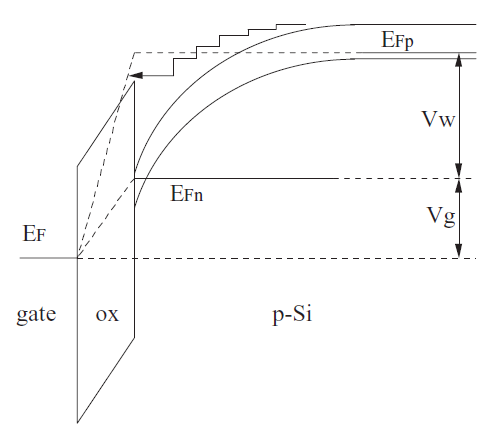


图4.13.与图4.12的偏压条件相对应的能带图。图中还显示了一个能够越过Si-SiO2 界面屏障的 "热 "电子的轨迹。*E*Fn /*E*Fp 分别是电子和空穴的准费米级，而*Vw* 和*Vg* 分别是施加在井（或衬底）和门上的电压

件而不是N沟道器件[51, 52]。基板热孔注入（SHHI）对退化效应的实验研究特别有趣（见第4.4.2节），但对存储单元没有实际用途（也见第4.3.3节）。

SHEI的物理描述与CHEI类似，电流可由公式（4.24）描述。主要的区别是，现在电子的能量是由硅的静电场决定的，而不是由漏极附近的峰值电场决定的。

从存储单元操作的角度来看，SHEI机制为闪存提供了一种有效的编程方法，然而，需要一个附近的电子源，在实践中，这促使人们使用三孔技术。其主要优点是均匀注入（与CHEI相比）和低氧化膜（与FN隧道相比）的独特组合。

# 4.3.5 源侧注入（SSI）

用于非易失性元件编程的CHEI机制的主要缺点是它的低注入效率，因此，它的高功率消耗。这是由于在固定的偏压条件下，具有高的侧向仪域*和*高的垂直仪域，有利于电子注入的不相容性，正如第4.3.3节所解释的。事实上，在传统的MOS设备的横向磁场是栅极电压的一个递减函数，而垂直磁场随栅极电压增加。因此，为了产生大量的热电子，需要一个低的栅极电压，再加上一个高的漏极电压。然而，为了在存储器件的ﬂoating栅极上注入和收集电子，需要一个高栅极电压和一个低漏极电压（见图4.14）。在实践中，作为一种妥协，栅极和漏极电压都要保持较高。主要的缺点显然是高漏极电流（在100μA到1mA的范围内）和相应的高功率消耗。

因此，人们提出了一种新的注入方案，现在通常被称为源端注入（SSI），以克服这个问题[25]。在大多数情况下，源区和漏区之间的MOS通道被分割成两个 "子通道"，由两个不同的栅极连接。通道源极一侧的栅极被偏置在产生最大热电子的条件下，也就是略高于该通道的阈值电压。漏极一侧的栅极，也就是电池的ﬂoating栅极，被电容耦合到一个与漏极电压相当或更高的电位，以建立一个有利于热电子在ﬂoating栅极方向上注入的垂直电场成分。后一种情况可以通过实施一个具有高耦合比的额外栅极来实现[4, 53]，或者通过使用一个高漏极耦合比来实现[23]。因此，漏电势完全或部分向控制MOS通道的栅极之间的区域延伸。这种效应被称为这种效应被称为虚拟漏极效应，因为翻转门下的反转层只作为漏极的延伸，而有效的晶体管通道是由器件源极侧的子通道形成的。而有效的晶体管通道是由器件源极一侧的子通道形成的[25]。因此，在两个子通道之间的空隙中获得了一个高的侧向磁场峰值（图4.14）。因此，热电子是在MOS通道内产生的，而不是在单元的漏极连接处。由于浮动门电位较高，注入点的垂直电场对电子是有利的，大部分产生的热电子克服了通道和氧化层之间的电位屏障，有效地聚集在浮动门上。

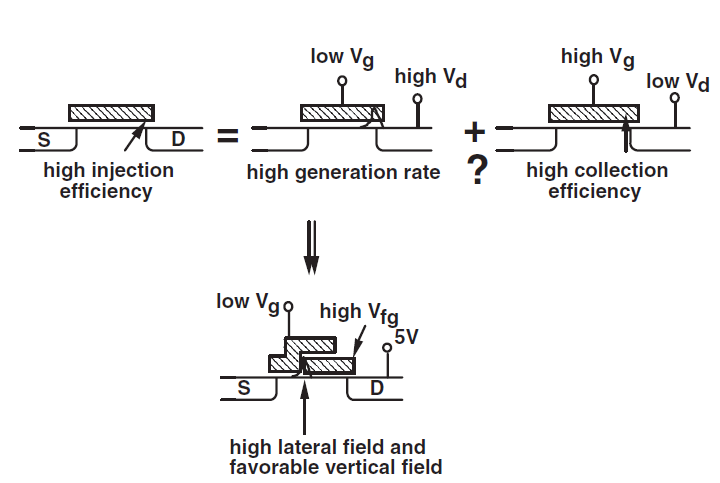


图4.14.CHEI的低注入效率问题的示意图以及克服这一问题的源侧注入原理

这种机制的主要优点是更高的注入效率（在10–3 或更高的数量级），这允许快速的5-V-only和3.3-V-only操作，并具有低的功耗[24, 53]。图4.11说明了这一点，图中显示了传统通道热电子注入机制和源端注入机制在可比器件中的栅极电流（相同的通道宽度与长度比*W/L*，相同的漏极电压，相同的技术）。很明显，SSI机制提供的栅极电流比传统的热电子注入机制高3个数量级以上[25]。同时，在SSI情况下，漏极电流也比传统情况下减少了40倍[54]。

由于虚拟漏极电位（即注入点的沟道电位）接近外部施加的漏极电压[25]，栅极电流随着跳闸电压的增加而趋于饱和。由于在编程过程中浮动栅极电压发生变化，在传统的栅极电流特性中观察到的最大值（图4.11）在SSI情况下不再有意义。在对SSI电池进行编程时，栅极电流单调地下降，而且只是轻微地下降。此外，SSI机制不是漏极曲线的函数，只是器件通道长度的平滑线性函数[25]。这与传统的热电子注入法形成强烈对比，在该法中，注入法对漏极曲线和通道长度都有很大的影响。

# 4.3.6 二次冲击电离引发的通道热电子注入

正如前几节所解释的，传统的漏极侧热电子注入法存在两个基本的扩展问题：由于机制的低效率，漏极电压不能降到4V以下，而且在零氧化膜条件下必须克服3.2eV的障碍。因此，漏极电压必须由一个只能提供有限电流的位线电荷泵提供。此外，如果不调整漏极到源极的电压，通道的长度就不容易调整。

其功耗非常高，这使得该概念对于需要低压低功耗操作的深亚微米时代来说更没有吸引力。

一个新的机制已经被报道，它可以为深亚微米的低电压闪存提供一个有趣的替代方法。当在传统的叠层门存储单元的基底上施加一个小的负电压时，观察到栅极电流的大量增加，这不能用传统的通道热电子理论来解释[26]。这一现象归因于一种冲击电离反馈机制，该机制允许二次粒子(即由通道电子引起的初级冲击电离产生的空穴)从硅中的垂直场获得足够的能量，以便在器件衬底深处引起二次冲击电离（图4.15）

由此产生的电子部分被注入栅极，对栅极电流的贡献比传统的栅极电流高得多。后者是在这样的假设下实现的：垂直硅场足够高，可以通过二次冲击电离效应产生大量的热电子。事实上，这些电子是在衬底的更深处产生的，这大大降低了到达界面的概率。因此，为了使这种情况发生，必须对基片或P阱施加负电压，以增强垂直电场。另一方面，该机制只在深亚微米技术中变得明显，在这种技术中，浅结与非常薄的栅极氧化物结合使用。

该机制最有趣的优点列举如下。

* 与传统的（初级）热电子电流相比，注入电流增加了几个数量级，这允许进一步的电压扩展，从而也进一步减少了通道长度。
* 当栅极电压下降到漏极电压以下时，仍然可以观察到明显的注入，这允许类似于源极侧注入的低功率编程。

缺点是。

* 三孔技术的必要性，以允许负P孔偏压方案的出现
* 为了获得真正的2.5-V-操作，仍然需要漏极工程的事实

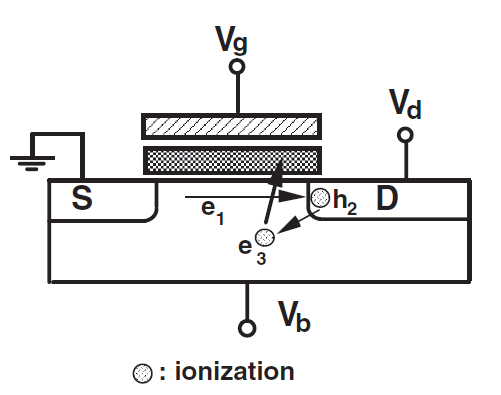


图4.15.二次冲击电离效应的示意图